

RAM WHICH FOLLOW UP POWER SOURCE FLUCTUATION AT HIGH SPEED

Patent Number: JP5101649
Publication date: 1993-04-23
Inventor(s): KUBONO SHIYOUJI
Applicant(s): HITACHI LTD; others: 01
Requested Patent: ☒ JP5101649
Application Number: JP19910258869 19911007
Priority Number(s):
IPC Classification: G11C11/404
EC Classification:
Equivalents:

Abstract

PURPOSE: To divide the voltage of a plate between a power source and the ground by a parasitic capacity so that the RAM can follow up the fluctuation in power source voltage at a high speed by adding the parasitic capacity equiv. to the parasitic capacity between the plate to serve as a reference level of a memory cell capacitor and the ground potential.

CONSTITUTION: A conductive layer 11 consisting of a gate wiring is provided between the plate 8 and a bit line 9 consisting of an aluminum layer and is connected to a power source Vcc. The parasitic capacity C2 generated between the plate layer 8 and the power source Vcc at this time has the capacity of the sum of the parasitic capacity generated between the plate layer 8 and the bit line 9 and the parasitic capacity generated between the bit line 9 and the power source Vcc. The plate level attains the potential divided by the series resistance and the parasitic capacity between the power source and the ground when this method is applied to a memory cell of a DRAM type, thereby the delay by the CR is suppressed. The plate level follows up the fluctuation in the power source Vcc at the high speed even if the power source fluctuates at the time of data retention. The wait time for the power source fluctuation is thus shortened.

Data supplied from the esp@cenet database - I2



2

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-101649

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.⁵

識別記号

F I

G11C 11/404

8320-5L

G11C 11/34

352

D

審査請求 未請求 請求項の数2 (全4頁)

(21)出願番号 特願平3-258869

(22)出願日 平成3年(1991)10月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 久保埜 昌次

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74)代理人 弁理士 小川 勝男

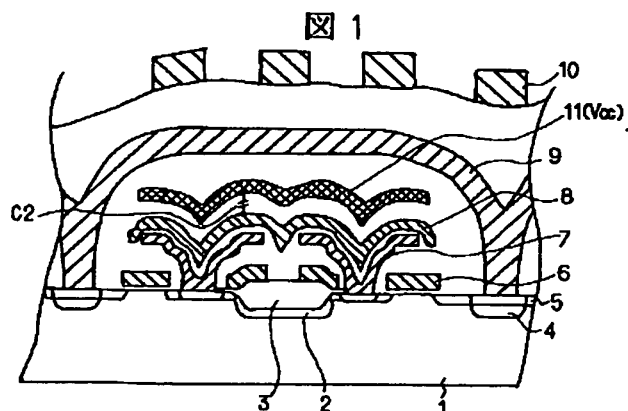
(54)【発明の名称】 電源変動に高速で追従するRAM

(57)【要約】

【目的】 DRAMタイプのメモリセルのプレートレベルを高速に電源電圧の変動に追従させ、電源電圧変動時の待ち時間を縮める。

【構成】 DRAMタイプのメモリセルを構成するメモリセルキャパシタの基準レベルとなるプレートに対して、該プレートと電源Vccとの間に寄生容量を付加する。

【効果】 プレートレベルが電源変動に対して高速に追従するため、データリテンション時の電源変動に対して、時間的制約を少なくでき、多くのシステムに容易に適用できることとなる。



【特許請求の範囲】

【請求項1】 DRAMタイプのメモリセルを構成するメモリセルキャパシタの基準レベルとなるプレートに対して、該プレートと電源との間に寄生容量を付加することを特徴とするRAM。

【請求項2】 プレートと電源との間の寄生容量を、プレートと接地電位との間の寄生容量と等価にすることを特徴とする請求項1記載のRAM。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、DRAMタイプのメモリセルを有するRAMに適用して有効な技術に関し、たとえば、疑似SRAM (PSRAM) のデータリテンション時におけるプレートレベルの追従性向上に有効な技術に関するものである。

【0002】

【従来の技術】従来、DRAMタイプのメモリセルを使用している疑似SRAMのデータリテンション時の電源電圧変動については、たとえば、日経エレクトロニクス

1989.6.12 p.101 ~139 などに記載されているところである。しかし、これらの従来技術においては、データリテンション時の電源電圧変動に対してのプレートレベルの追従性について配慮されているものはなかった。

【0003】このプレートレベルの追従性について、図5ないし図8を用いて説明をする。

【0004】図5は、DRAMタイプのメモリセルの回路図である。メモリセルは、ワード線WL、ビット線BL、トランジスタTr、メモリセルキャパシタCs、センスアンプSA、メモリセルキャパシタCsの基準レベルとなるプレートPLより構成されている。プレートレベルは、ハーフVccジェネレータHGにより電源Vccの1/2の電圧に設定されている。C1は、メモリセルにおいて、プレートPLと接地電位Vssとの間に寄生する寄生容量である。

【0005】この寄生容量C1が発生する理由を図6を用いて説明すると、図は、スタックトキャパシターセル(STC)方式のメモリセルの断面を示す。1はp型シリコン基板、2はp+ 拡散層、3はLOCOS層、4はn+ 拡散層、5はn- 拡散層、6はポリシリコンゲートよりなるワード線、7はプレートとの間でメモリセルキャパシタCsを形成するポリシリコン層、8はポリシリコンよりなるプレート層、9はアルミ層よりなるビット線、10はアルミ層である。ここで、ワード線6とアルミ層10の電位はVssであり、ポリシリコン層7の電位はフローティングであり、ビット線9の電位はプレートPLと同電位である。そして、前記寄生容量C1は、プレート層8とワード線6との間に寄生する容量C11およびプレート層8とアルミ層10との間に寄生する容量C12により形成される。

【0006】図7は、ハーフVccジェネレータHGと

寄生容量C1との接続関係を示した等価回路図である。図5におけるハーフVccジェネレータHGの出力段は、抵抗R1、R2の直列回路と等価である。したがって、抵抗R1、R2および容量C1の接続点がプレートPLに接続され、この電位がプレートレベルVp1となる。

【0007】図8は、その動作波形図である。データリテンション時に電源Vccの電圧が実線のように変化すると、図7の回路のプレートレベルVp1は、寄生容量C1および抵抗R1、R2とのCR回路により、破線で示すように遅れを生じ、正確に1/2Vccに追従することができないこととなり、Vcc-Vp1間の電位差が1/2Vccとならない時間が生じる。

【0008】

【発明が解決しようとする課題】このような現象は、たとえば、図8のt1のタイミングで読出が行われた場合、読出の誤動作の原因となる。したがって、従来は、PSRAMのデータリテンション時の電源電圧の変動後はプレートレベルが安定する迄待つ必要があった。

【0009】本発明は、1トランジスタと1メモリセルキャパシタとの直列回路をメモリセルとするDRAMまたはPSRAM等において、電源電圧の変動があった場合、プレートレベルを高速で電源電圧に追従させ、電源電圧変動時の待ち時間を縮めることを目的としており、データリテンション時におけるシステム固有の電源変動時間に対応することを目的とする。

【0010】本発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】すなわち、本願発明は、上記目的を達成するために、DRAMタイプのメモリセルを構成するメモリセルキャパシタの基準レベルとなるプレートに対して、該プレートと電源との間に寄生容量を付加するものである。

【0013】

【作用】上記した手段によれば、プレートは、電源と接地との間で2つの寄生容量C1、C2により分圧されたこととなり、電源電圧の変動に対して高速で追従することが可能となる。特にC1=C2と設定すると、Vccの変動がΔVccのとき、プレートレベルの変動を1/2ΔVccとできるため、プレートレベルを1/2Vccに容易に維持できる。

【0014】

【実施例】以下、本発明の構成について、図1ないし図4を用いて実施例とともに説明する。なお、実施例を説明するための全図において、同一機能を有するものは同

一符号を付け、その繰り返しの説明は省略する。

【0015】図1及び図2は、本発明をスタットキャパシタセル方式に適用した例の断面図である。両図とも、従来例の図6の断面図と略同一であるので、重複する箇所の説明は省略するが、図1に示すものが、従来例の図6に示すものと相違する点は、プレート8とアルミ層よりなるビット線9との間にゲート配線層よりなる導電層11を設け、この導電層11を電源Vccに接続した点である。また、図2に示すものが相違する点は、ビット線9の上方に導電層11を設け、この導電層11を電源Vccに接続した点である。この図1および図2における導電層11は、プレート8と略同面積、つまりメモリアレイの略全面に設けるもので、厚みは、2000～5000Å程度である。

【0016】この構成によれば、図1においては、プレート層8と導電層11すなわち電源Vccとの間に寄生容量C2が生じる。また、図2においては、プレート層8と導電層11との間に寄生容量C21が生じ、プレート層8とビット線9との間に寄生容量C22が生じ、ビット線9と導電層11すなわち電源Vccとの間に寄生容量C23が生じる。そして、この図2における寄生容量の合計値C2は、 $C2 = C21 + (C22 \times C23 / C22 + C23)$ となる。

【0017】以上のように構成したメモリセルを図5に示したDRAMタイプのメモリセルに適用すると、ハーフVccジェネレータHGと寄生容量C1との接続関係を示した等価回路は図3に示すようになる。本例の図3が従来例の図7と相違する点は、プレートPLと電源Vccとの間に、前記寄生容量C2が付加されている点である。これにより、プレートレベルVplは、電源と接地との間で、直列接続された抵抗R1、R2および直列接続された寄生容量C1、C2により分割された電位となり、CRによる遅延が生じないこととなる。

【0018】したがって、データリテンション時に電源Vccが図4の動作波形図に実線で示すように変動しても、プレートレベルVplは、同図に破線で示すように、高速で追従することとなり、データリテンション時の電源変動に対する待ち時間を短縮できることとなる。

【0019】特に、プレートPLと電源Vccとの間の寄生容量C2を、プレートPLと接地電位Vssとの間の寄生容量C1とを等価($C1 = C2$)とすると、プレートレベルの変動を正確に $1/2 Vcc$ にすることができる。

【0020】以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である疑似SRAMに適用した場合について説明したが、それに限定されるものではなく、DRAMタイプのメモリセルを有するRAM一般に適用できるものである。

【0021】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0022】すなわち、本発明によれば、プレートレベルが電源変動に対して高速に追従するため、データリテンション時の電源変動に対して、待ち時間を短縮ことができ、時間的制約を少なくすることができる。

【図面の簡単な説明】

【図1】 本発明の実施例のメモリセルの断面図。

【図2】 本発明の他の実施例のメモリセルの断面図。

【図3】 本発明の実施例の等価回路図。

【図4】 図3の動作波形図。

【図5】 DRAMタイプのメモリセルの回路図。

【図6】 従来例のメモリセルの断面図。

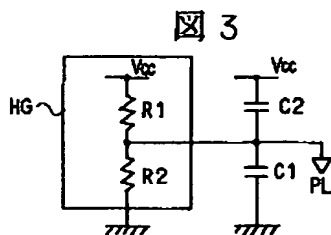
【図7】 図6の等価回路図。

【図8】 図7の動作波形図。

【符号の説明】

7…メモリセルキャパシタを形成するポリシリコン層、8…ポリシリコンプレート層、9…ビット層、10…アルミ層、WL…ワード線、BL…ビット線、SA…センスアンプ、Tr…トランジスタ、Cs…メモリセル容量、PL…プレート、C1、C2…プレートの寄生容量、HG…ハーフVccジェネレータ。

【図3】



【図4】

